

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-097616

(43)Date of publication of application : 30.03.1992

(51)Int.Cl.

H03K 19/0185

H03K 5/02

(21)Application number : 02-214944

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 16.08.1990

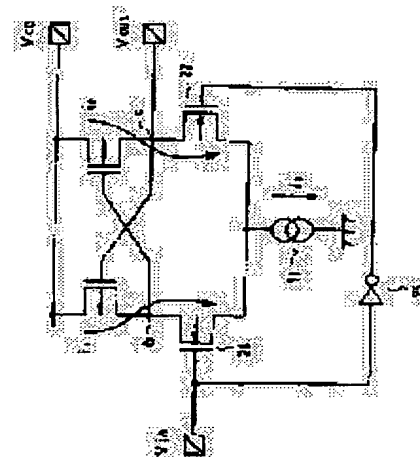
(72)Inventor : TAKAHASHI NOBUYUKI

(54) LEVEL SHIFTER CIRCUIT

(57)Abstract:

PURPOSE: To attain the suppression of a through-current, high speed processing, high stability and low power consumption in a circuit operation by providing a constant current circuit as a current limiting means and constituting the circuit with MOS transistors(TRs).

CONSTITUTION: A constant current circuit 11 as a current limiting means is provided between a ground point GND and the common connecting point of sources of an N-channel TRs 22 and 24. The constant current circuit 11 limits a current flowing thereto control a constant current I_0 . Thus, a through-current I_{cc} at circuit operation is suppressed and the level shifter circuit with high speed, high stability and low power consumption is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-97616

⑬ Int. Cl.⁵

H 03 K 19/0185
5/02

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月30日

L

7125-5J
8941-5J

H 03 K 19/00

1 0 1 E

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 レベルシフト回路

⑯ 特 願 平2-214944

⑰ 出 願 平2(1990)8月16日

⑱ 発 明 者 高 橋 信 行 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

レベルシフト回路

2. 許請求の範囲

(1) ソースが第1の電位供給源に接続された第1のMOSトランジスタと、ソースが前記第1の電位供給源に接続され、ゲートが前記第1のMOSトランジスタのドレインに接続され、ドレインが前記第1のMOSトランジスタのゲートに接続された第2のMOSトランジスタと、ドレインが前記第1のMOSトランジスタのドレインに接続された第3のMOSトランジスタと、ドレインが前記第2のMOSトランジスタのドレインに接続され、ソースが前記第3のMOSトランジスタのソースに接続された第4のMOSトランジスタと、前記第3及び第4のMOSトランジスタのソースの共通接続点並びに第2の電位供給源間に接続された電流制限手段とを具備し、前記第3のMOSトランジスタのゲートが非反転入力となり、前記第4のMOSトランジスタのゲートが反転入

力となり、前記第2及び第4のMOSトランジスタのドレイン並びに前記第1のMOSトランジスタのゲートの共通接続点が出力となるレベルシフト回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明はレベルシフト回路に関するもので、特に高圧ドライバに使用されるものである。

(従来の技術)

従来、レベルシフト回路には、第18図に示すようなPNPトランジスタ(ラテラル構造)11、NチャネルMOSトランジスタ12、13、14及びツェナダイオード(ZD)15により構成されるものがある。ここで、16は抵抗、17は定電流源、18はインバータをそれぞれ示している。

以下、この回路の動作について、同図及び第19図(a)乃至(g)のタイミングチャートをもとに説明する。V_{in}のレベルが低レベル(以下「L」という。)から高レベル(以下「H」とい

(2)

う。)へ変化すると、インバータ18を介して V_{11} がトランジスタ12のゲートに印加されるため、このトランジスタ12はオンからオフへ変化する。また、同時に V_{11} がトランジスタ13のゲートに印加されるため、このトランジスタ13はオフからオンへ変化する。なお、トランジスタ13のゲート電位が上昇してその閾値電圧 V_{th13} に達した時、レベルシフト電流 I_{L1} が流れ出す。そして、トランジスタ11のベースに流れ込む電流が V_{BE}/R_1 (トランジスタ11のベース・エミッタ間電圧/抵抗16の抵抗値)に達すると、トランジスタ11はオンとなり電流 I_1 が流れ出す。この電流 I_1 により、ゲートノードaの電位 V_a が上昇してトランジスタ14の閾値電圧 V_{th14} に達した時、 V_{11} が立ち上がる。また、 V_{11} のレベルがHからLへ変化すると、トランジスタ12がオフからオンへ変化すると共にトランジスタ13がオンからオフへ変化する。このため、レベルシフト電流 I_{L1} がカットオフされ、トランジスタ11及びトランジスタ14がオフとなる。また、トランジスタ12のゲート電位が上昇

してその閾値電圧 V_{th12} に達した時、寄生容量Cをディスチャージ(電流 I_0)するため、 V_{11} が立ち下がる。

また、この他にも、レベルシフト回路には、第20図に示すようなPチャネルMOSトランジスタ21、23、NチャネルMOSトランジスタ22、24及びインバータ25により構成されるものがある。なお、このレベルシフト回路(Multiple (Compatible) Type)は、動作時のみ電流が流れることにより、消費電流の効率が大変良い。また、MOSトランジスタで構成されるため、高速であり、かつ、制御し易いことを特徴としている。

以下、この回路の動作について、同図及び第20図(a)乃至(h)をもとに説明する。まず、期間①においては、 V_{11} のレベルがLであるため、トランジスタ21、22、23、24はそれぞれオフ、オン、オン、オフの状態であり、貫通電流 I_{11} が流れることはない。期間②においては、 V_{11} のレベルがLからHへ変化するため、トランジスタ24の

流れ出す。即ち、この期間においても、トランジスタ21乃至24は全てオンの状態となり、貫通電流 I_{11} として電流 $I_1 + I_2$ が流れている。

とでろで、前者の回路では、トランジスタ11に高圧が印加されているため、消費電力が大きくなる。また、 V_{11} のレベルがHの時(第19図(b)において期間A)は、常にレベルシフト電流 I_{L1} が流れていることは、好ましいことではない。さらに、トランジスタ11は、ラテラル構造のためスイッチングスピード(ターンオン時間 t_{on} 、ターンオフ時間 t_{off})が遅くなる。また、出力立上り特性に影響するパラメータ(例えばMOSトランジスタ12、13及び14の閾値電圧のバラツキ、PNPトランジスタ11の電流増幅率 h_{FE} 、ターンオン時間 t_{on} 及びターンオフ時間 t_{off} 、ツェナダイオード(ZD)特性)が多く安定性に欠ける。従って、製造面において管理が厳しくなり、歩留まりの低下やコストの増大につながる。

また、後者の回路では、回路動作時において貫通電流 I_{11} が流れるため、又PチャネルMOS

ゲート電位が上昇する。そして、そのゲート電位がトランジスタ24の閾値電圧 V_{th24} に達した時、トランジスタ24はオンとなり電流 I_1 が流れ出す。また、この電流 I_1 により、回路点bの電位 V_b が下がり、トランジスタ21の閾値電圧 V_{th21} に達すると、トランジスタ21はオンとなり電流 I_2 が流れ出す。即ち、この期間においては、トランジスタ21乃至24は全てオンの状態となり、貫通電流 I_{11} として電流 $I_1 + I_2$ が流れている。さらに、期間③においては、 V_{11} のレベルがHとなるため、トランジスタ21、22、23、24はそれぞれオン、オフ、オフ、オンの状態であり、貫通電流 I_{11} が流れることはない。期間④においては、 V_{11} のレベルがHからLへ変化するため、トランジスタ22のゲート電位が上昇する。そして、そのゲート電位がトランジスタ22の閾値電圧 V_{th22} に達した時、トランジスタ22はオンとなり電流 I_2 が流れ出す。また、この電流 I_2 により、回路点cの電位 V_c が下がり、トランジスタ23の閾値電圧 V_{th23} に達すると、トランジスタ23はオンとなり電流 I_1 が

(3)

トランジスタ21及び23に高圧が印加されるため消費電力が大きくなるという欠点がある。

(発明が解決しようとする課題)

このように、従来のレベルシフト回路は、スイッチングスピードが遅く、しかも消費電力が大きく、安定性にも欠けていた。また、MOSトランジスタにより構成されるものでは、回路動作時において貫通電流が流れるという欠点があった。

そこで、本発明は、回路動作時に貫通電流を抑えると共に高速、高安定性及び低消費電力のレベルシフト回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、本発明のレベルシフト回路は、ソースが第1の電位供給源に接続された第1のMOSトランジスタと、ソースが前記第1の電位供給源に接続され、ゲートが前記第1のMOSトランジスタのドレインに接続され、ドレインが前記第1のMOSトランジスタのゲートに接続された第2のMOSトランジスタと、ド

レインが前記第1のMOSトランジスタのドレインに接続された第3のMOSトランジスタと、ドレインが前記第2のMOSトランジスタのドレインに接続され、ソースが前記第3のMOSトランジスタのソースに接続された第4のMOSトランジスタと、前記第3及び第4のMOSトランジスタのソースの共通接続点並びに第2の電位供給源間に接続された電流制限手段とをからなる。

そして、前記第3のMOSトランジスタのゲートを非反転入力し、前記第4のMOSトランジスタのゲートを反転入力とし、前記第2及び第4のMOSトランジスタのドレイン並びに前記第1のMOSトランジスタのゲートの共通接続点を出力とする。

(作用)

このような構成によれば、前記第3及び第4のMOSトランジスタのソースの共通接続点並びに第2の電位供給源間に接続された電流制限手段により、回路動作時における貫通電流を抑えることができる。また、MOSトランジスタで構成さ

れるため、高速、高安定性及び低消費電力なレベルシフト回路になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は本発明に係わるレベルシフト回路を示すものであり、又第2図(a)乃至(g)は前記第1図のレベルシフト回路の動作に係わるタイミングチャート及び同図(h)は同図(a)乃至(g)のタイミングチャートについての各期間におけるトランジスタの動作を示すものである。なお、第1図において、前記第20図に示す従来のレベルシフト回路と同一の部分には同じ符号を付して詳細な説明を省略する。

レベルシフト回路(Multiple (Compatible) Type)において、Nチャネルトランジスタ22のソース及びNチャネルトランジスタ24のソースの共通接続点と、接地点GNDとの間には電流制限手段として定電流回路11が設けられている。この定電流回路11により、

そこを流れる電流を制限し、回路動作時における貫通電流を抑えるようになっている。以下、同図を参照しつつその動作について説明する。

まず、期間①においては、 V_{in} のレベルがLであるため、トランジスタ21はオフ、トランジスタ22はオン、トランジスタ23はオン、トランジスタ24はオフの状態であり、貫通電流 $I_{..}$ が流れることはない。

次に、期間②においては、 V_{in} のレベルがLからHへ変化するため、トランジスタ24のゲート電位が上昇する。そして、そのゲート電位がトランジスタ24の閾値電圧 $V_{th,24}$ に達した時、トランジスタ24はオンとなり電流 i_1 が流れだす。また、この電流 i_1 により、回路点b(トランジスタ21のゲート)の電位 V_b が下がり、トランジスタ21の閾値電圧 $V_{th,21}$ に達すると、このトランジスタ21はオンとなり電流 i_2 が流れだす。即ち、この期間においては、貫通電流 $I_{..}$ として $i_1 + i_2$ が流れるが、この貫通電流 $I_{..}$ は、常に、定電流回路11を流れる電流 I 以下となる。

(4)

次に、期間③においては、 V_{gs} のレベルがHとなるため、トランジスタ21はオン、トランジスタ22はオフ、トランジスタ23はオフ、トランジスタ24はオンの状態であり、貫通電流 I_{ss} が流れることはない。

最後に、期間④においては、 V_{gs} のレベルがHからLへ変化するため、インバータ25を介してトランジスタ22のゲート電位が上昇する。そして、そのゲート電位がトランジスタ22の閾値電圧 $V_{th,22}$ に達した時、トランジスタ22はオンとなり電流 i_2 が流れだす。また、この電流 i_2 により、回路点c（トランジスタ23のゲート）の電位 V_c が下がり、トランジスタ23の閾値電圧 $V_{th,23}$ に達すると、このトランジスタ23はオンとなり電流 i_1 が流れだす。即ち、この期間においても、貫通電流 I_{ss} として $i_1 + i_2$ が流れるが、この貫通電流 I_{ss} は、常に、定電流回路11を流れる電流 I_0 以下となる。

なお、第3図(a)はPチャネルMOSトランジスタ、同図(b)はその等価回路、又第4図

(a)はNチャネルMOSトランジスタ、同図(b)はその等価回路をそれぞれ示している。即ち、前記第1図におけるトランジスタ21乃至24は、 V_{gs} （ゲート及びソース間の電圧）、 V_{ds} （ドレイン及びソース間の電圧）の変化時にC（容量）及びR（抵抗）の時定数をもつ。よって、前記実施例において、トランジスタ21とトランジスタ23、及びトランジスタ22とトランジスタ24の時定数を同じにすれば、 $i_1 = i_2$ 、 $i_1 + i_2 = I_{ss} < I_0$ となる。ここで、トランジスタ21とトランジスタ23、及びトランジスタ22とトランジスタ24の時定数は、必ずしも同じである必要はない。

このような構成によれば、定電流回路11により、定電流 I_0 の制御が可能であり、回路動作時における貫通電流 I_{ss} を抑えることができる。また、MOSトランジスタで構成されるため、高速、高安定性及び低消費電力であり、かつ、制御し易いレベルシフト回路を提供できる。

なお、本発明は前記実施例に限られるものではなく、種々の変形が可能である。そこで、次に

この変形例について説明する。なお、以下の説明において、全図にわたり前記第1図と共通の部分には共通の参照符号を用いることで重複説明を避けることにする。

第5図は、前記第1図に示す回路において、トランジスタ21、23のバックゲートがそのソース（電源 V_{ss} ）に接続され、トランジスタ22、24のバックゲートが接地点GNDに接続されたレベルシフト回路を示すものである。なお、定電流回路11としては以下に示すようなものを使用することができる。即ち、第1に、バックゲートが接地点GNDに接続されたE（エンハンスメント）型のNチャネルMOSトランジスタ12aによるもの（第6図参照）がある。第2に、バックゲートがドレインに接続されたE型のPチャネルMOSトランジスタ12bによるもの（第7図参照）がある。この場合、トランジスタ12a及び12bのゲートには、それぞれ基準電圧 V_{ref} が入力する。第3に、ゲート及びバックゲートが接地点GNDに接続されたD（デプレッション）型のNチャネルMOS

トランジスタ12cによるもの（第8図参照）がある。第4に、バックゲートがドレインに接続されたD型のPチャネルMOSトランジスタ12dによるもの（第9図参照）がある。この場合、トランジスタ12dのベースには基準電圧 V_{dd} が入力する。さらに、第5に、抵抗12eを用いることも可能である（第10図参照）。

また、第11図は、前記第1図に示す回路において、トランジスタ21、23のバックゲートがそのソース（電源 V_{ss} ）に接続され、トランジスタ22、24のバックゲートがそのソースに接続されたレベルシフト回路を示すものである。なお、定電流回路11としては以下に示すようなものを使用することができる。即ち、第1に、バックゲートが接地点GNDに接続されたE型のNチャネルMOSトランジスタ12aによるもの（第12図参照）がある。第2に、バックゲートがドレインに接続されたE型のPチャネルMOSトランジスタ12bによるもの（第13図参照）がある。この場合、トランジスタ12a及び12bのゲートには、そ

れぞれ基準電圧 V_{DD} が入力する。第3に、ゲート及びバックゲートが接地点 GND に接続された D 型の N チャネル MOS トランジスタ 12c によるもの（第14図参照）がある。第4に、バックゲートがドレインに接続された D 型の P チャネル MOS トランジスタ 12d によるもの（第15図参照）がある。この場合、トランジスタ 12d のベースには基準電圧 V_{DD} が入力する。さらに、第5に、抵抗 12e を用いることも可能である（第16図参照）。

このような変形例においても、定電流 I_D の制御が可能になり、回路動作時における貫通電流を抑えると共に、高速、高安定性及び低消費電力であり、かつ、制御し易いレベルシフト回路を提供できる。

第17図は、本発明に係わるレベルシフト回路（前記第14図の回路について示した。）をブリッドライバ（Pre Driver）とする応用例を示すものである。ここで、26及び27は N チャネル MOS トランジスタ、28乃至30はダイ

オードをそれぞれ示している。この場合、レベルシフト回路の出力にアクティブプルアップ（Active Pull Up）のドライバを接続することで、大電流の出力を得ることが可能になり、出力利得を高めることができる。また、アクティブプルアップのため、貫通電流も流れることがない。

なお、これらの実施例において、E型又はD型のMOSトランジスタとして特に示していない MOS トランジスタは、E型又はD型のいずれであつても構わない。

〔発明の効果〕

以上、説明したように本発明のレベルシフト回路によれば次のような効果を奏する。

レベルシフト回路（Multiple Compatible Type）に電流制限手段として定電流回路を設け、その貫通電流の制御を可能にすることにより、回路動作時に流れていた貫通電流を抑制することが可能となる。また、MOS トランジスタで構成されるため、高速、高

安定性及び低消費電力であり、かつ、制御し易いレベルシフト回路を提供できる。これにより、歩留まりの向上やコストの低下を達成できる。

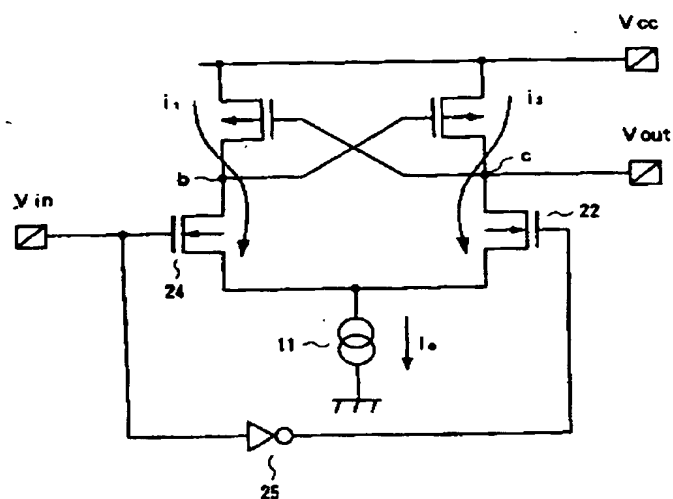
4. 図面の簡単な説明

第1図は本発明の一実施例に係わるレベルシフト回路を示す回路図、第2図（a）乃至（g）は前記第1図のレベルシフト回路に係わる各部の動作を示すタイミング図、第2図（h）は前記第2図（a）乃至（g）のタイミング図についての各期間におけるトランジスタの動作を示すモード図、第3図（a）及び（b）は P チャネル MOS トランジスタとその等価回路を示す回路図、第4図（a）及び（b）は N チャネル MOS トランジスタとその等価回路を示す回路図、第5図乃至第16図はそれぞれ本発明の他の実施例に係わるレベルシフト回路を示す回路図、第17図は本発明に係わるレベルシフト回路をブリッドライバに適用したものを示す回路図、第18図は従来のレベルシフト回路を示す回路図、第19図（a）乃至（g）は前記第18図のレベルシフト回路に係わ

る各部の動作を示すタイミング図、第20図は従来の他のレベルシフト回路を示す回路図、第21図（a）乃至（g）は前記第20図のレベルシフト回路に係わる各部の動作を示すタイミング図、第21図（h）は前記第21図（a）乃至（g）のタイミング図についての各期間におけるトランジスタの動作を示すモード図である。

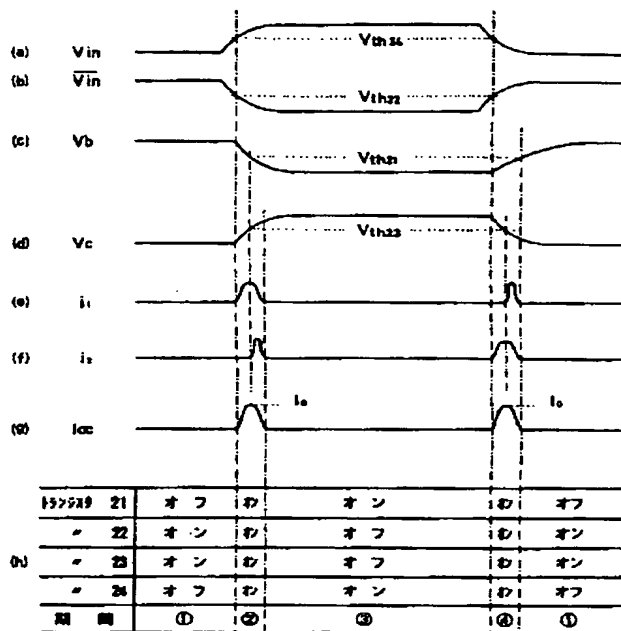
11…定電流回路、12a…E型Nチャネル MOS トランジスタ、12b…E型Pチャネル MOS トランジスタ、12c…D型Nチャネル MOS トランジスタ、12d…D型Pチャネル MOS トランジスタ、12e…抵抗、21、23…Pチャネル MOS トランジスタ、22、24…Nチャネル MOS トランジスタ。

出願人代理人 弁理士 鈴江武彦

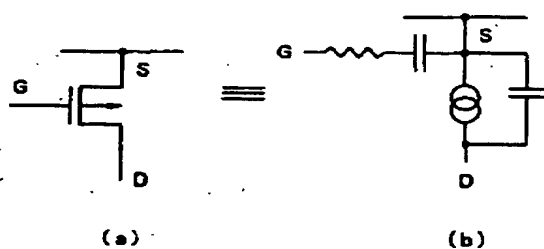


第 1 図

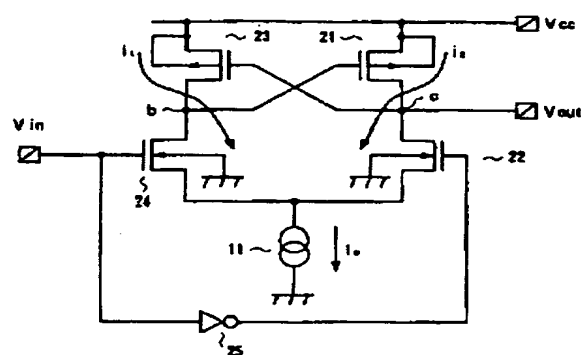
(6)



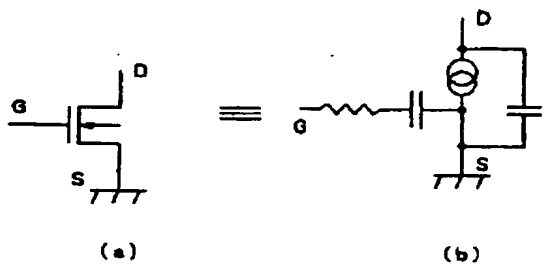
第 2 図



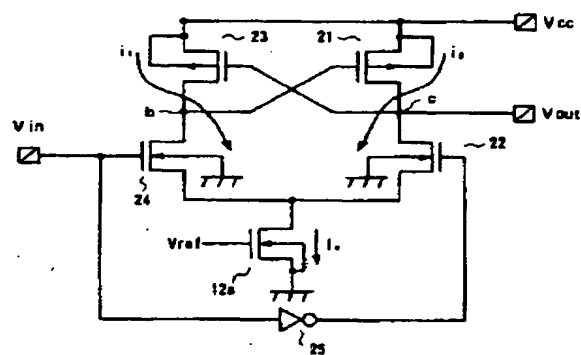
第 3 図



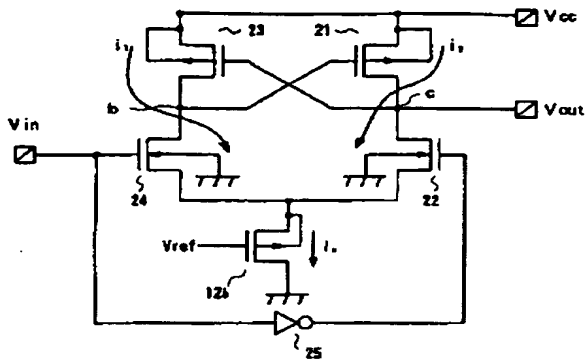
第 5 図



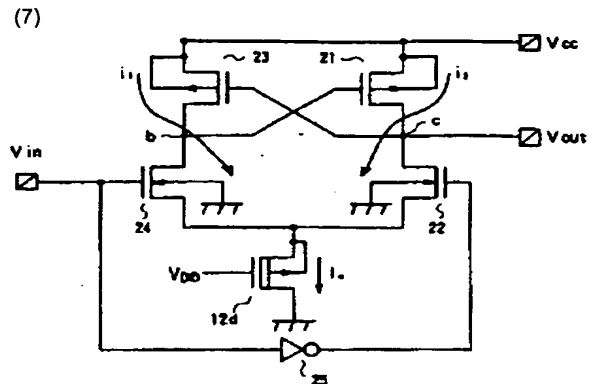
第 4 図



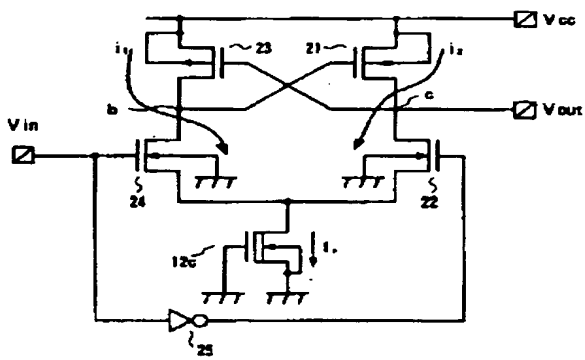
第 6 図



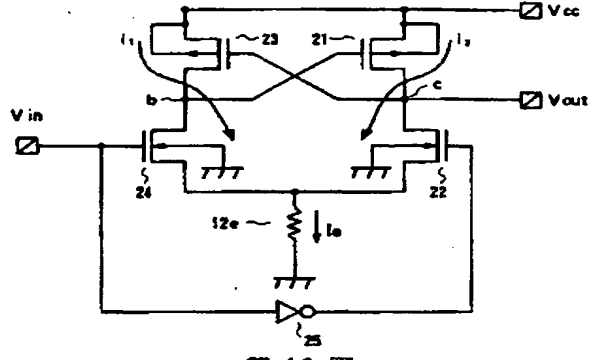
第 7 図



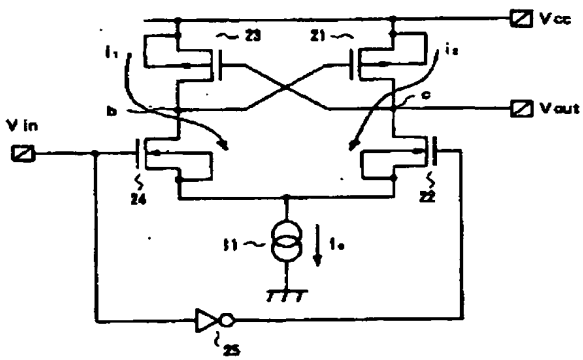
第 9 図



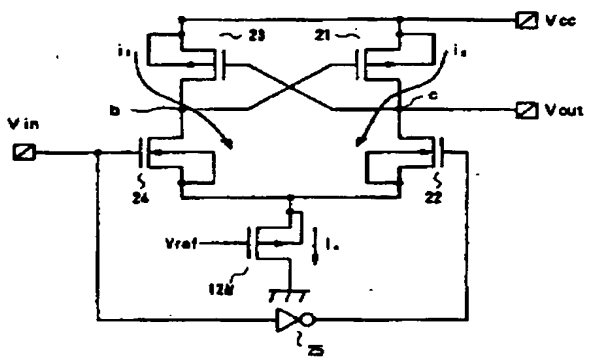
第 8 図



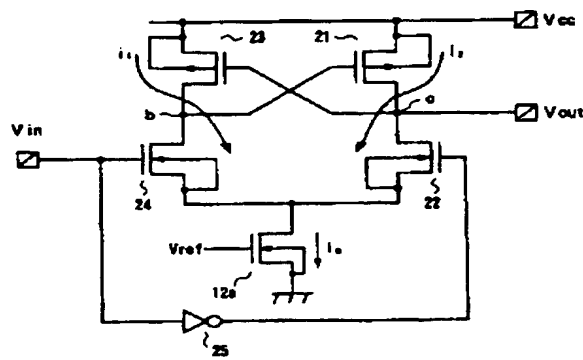
第 10 図



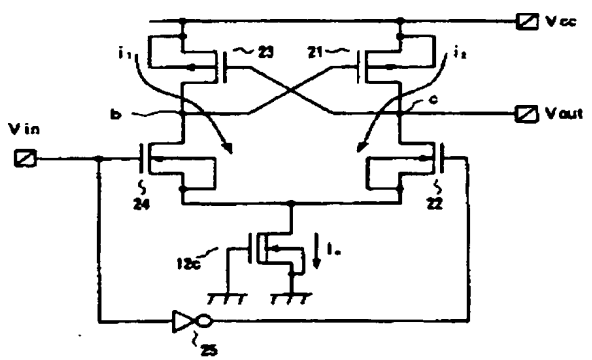
第 11 図



第 13 図

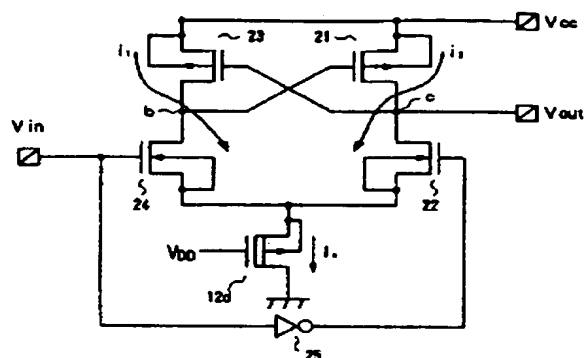


第 12 図

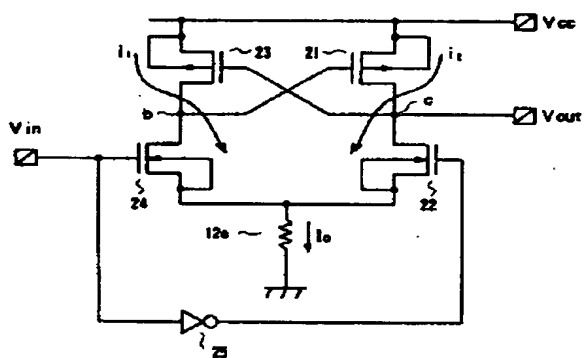


第 14 図

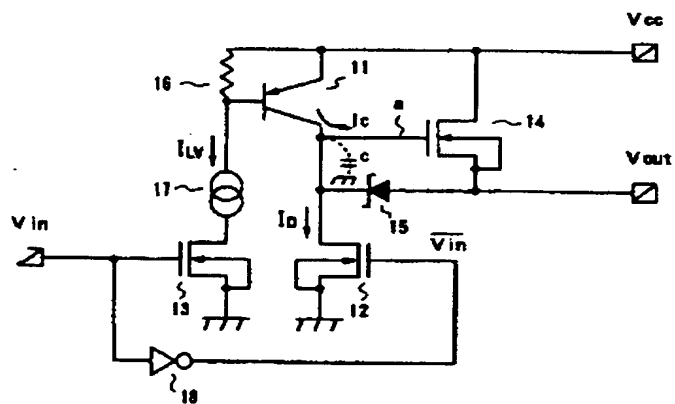
(8)



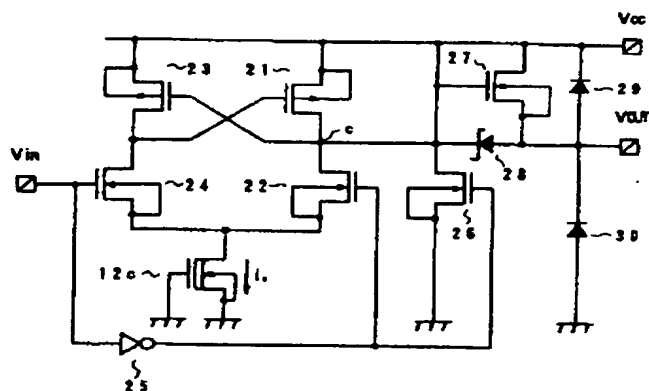
第 15 図



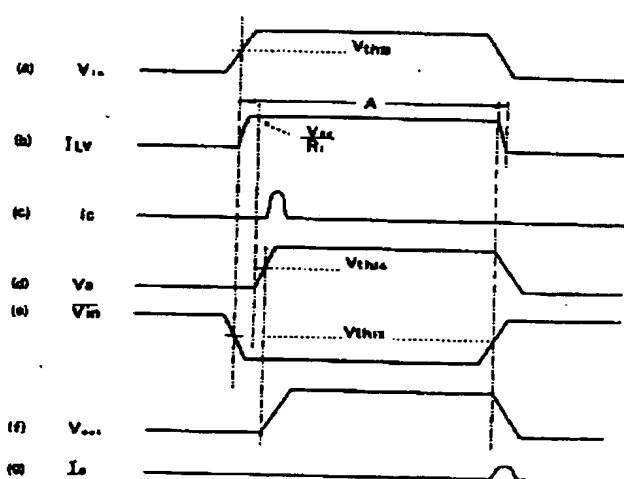
第 16 図



第 18 図

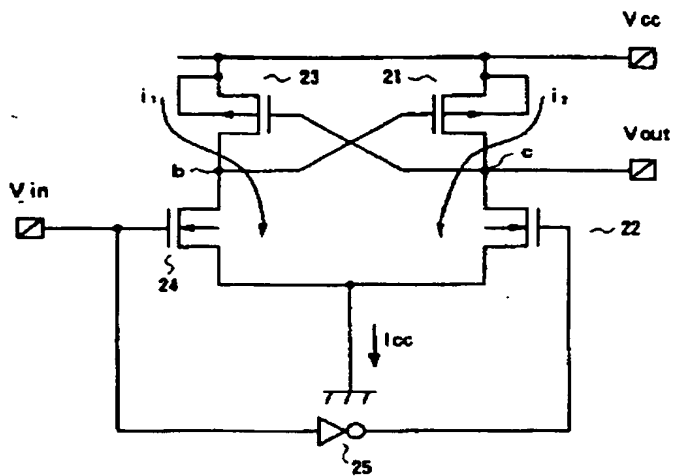


第 17 図

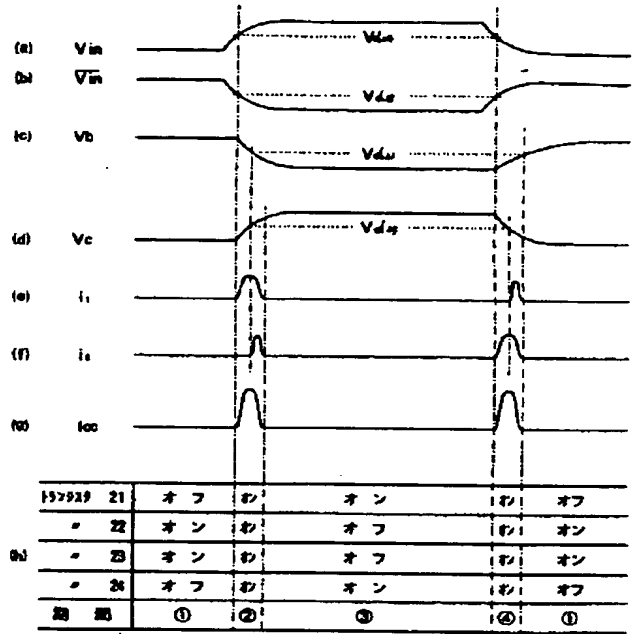


第 19 図

(9)



第 20 図



第 21 図